



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 6月 5日

出 願 番 号

Application Number:

特願2000-167886

出 願 人

Applicant(s):

株式会社リコー

RECEIVED

FEB 01 2002

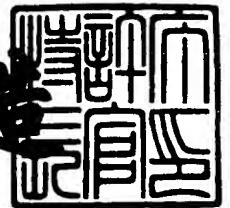
Technology Center 2600

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 8月17日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出 願 番 号 出 願 特 2001-3074202

【書類名】 特許願

【整理番号】 0003334

【提出日】 平成12年 6月 5日

【あて先】 特許庁長官殿

【国際特許分類】 B41J 2/44

【発明の名称】 画像形成装置

【請求項の数】 13

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号  
株式会社リコー内

【氏名】 江間 秀利

【特許出願人】

【識別番号】 000006747

【氏名又は名称】 株式会社リコー

【代表者】 桜井 正光

【手数料の表示】

【予納台帳番号】 003724

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像形成装置

【特許請求の範囲】

【請求項1】 半導体レーザと、

該半導体レーザが出力する光で回転感光体を走査する走査手段と、

前記半導体レーザが出力する走査光を所定の位置で検出する走査光検出手段と

該走査光検出手段が検出した走査光に基づいて前記回転感光体を走査して静電潜像を形成する画像形成装置であって、

高周波クロック生成手段と、

該高周波クロック生成手段から出力されたクロックを分周し、前記走査光検出手段の出力に同期した画像クロックを出力する画像クロック出力手段と、

該画像クロックの位相を変化させる画像クロック位相変化手段と、

を有することを特徴とする画像形成装置。

【請求項2】 前記高周波クロック生成手段は、

入力される信号に応じて出力するクロックの発振周波数を制御する電圧制御発振手段と、

該電圧制御発振手段が発振したクロックを分周する分周手段と、

該分周手段が出力したクロックの周波数と基準となるクロックの周波数との位相を比較し、該比較の結果に応じた信号を出力する位相比較手段と、

該位相比較手段が出力した信号は前記電圧制御発振手段に入力される形態で構成されていることを特徴とする請求項1記載の画像形成装置。

【請求項3】 前記画像クロックに基づいて画像データを入力する画像データ入力手段と、

前記高周波クロック生成手段から出力されたクロックと前記画像データに基づいて変調パターンを生成する変調パターン生成手段と、

該変調パターン生成手段によって生成された変調パターンに基づいて前記半導体レーザの出力を制御する半導体レーザ制御手段と、

をさらに有することを特徴とする請求項1記載の画像形成装置。

【請求項4】 前記画像クロック出力手段と、  
前記画像クロック位相変化手段と、  
前記高周波クロック生成手段と、  
前記画像データ入力手段と、  
前記変調パターン生成手段と、  
を1チップの集積回路によって構成したことを特徴とする請求項1記載の画像形成装置。

【請求項5】 前記分周手段による分周比をデータロードする形で設定する分周比設定手段をさらに有することを特徴とする請求項4記載の画像形成装置。

【請求項6】 前記電圧制御発振部から発振されるパルスの位相を反転させたり、正転させたりするパルス反転手段をさらに有することを特徴とする請求項4記載の画像形成装置。

【請求項7】 前記分周回路の動作を停止させたり、再開させたりする分周動作停止再開手段をさらに有することを特徴とする請求項4記載の画像形成装置。

【請求項8】 前記画素クロックの位相を遅らせるタイミングで前記半導体レーザを消灯する半導体レーザ消灯手段をさらに有することを特徴とする請求項6記載の画像形成装置。

【請求項9】 半導体レーザと、  
該半導体レーザが出力する光で回転感光体を走査する走査手段と、  
前記半導体レーザが出力する走査光を所定の位置で検出する走査光検出手段と

該走査光検出手段が検出した走査光に基づいて前記回転感光体を走査して静電潜像を形成する画像形成装置であって、

高周波クロック生成手段と、  
前記高周波クロック生成手段からクロックを分周し、前記走査光検出手段が検出するタイミングに同期した画像クロックを出力する画像クロック出力手段と、  
前記画像クロックに基づいて画像データを入力する画像データ入力手段と、  
前記高周波クロック生成手段から出力されたクロックと前記画像データ入力手

段が入力する画像データとに基づいて、前記半導体レーザの出力を変調する半導体レーザ変調手段と、

前記画像データ入力手段が画像データを取り込むタイミングと、前記画像クロックの位相とを、同時に変更する位相変更手段と、

を有することを特徴とする画像形成装置。

【請求項 1 0】 電源投入時の最初の同期信号と同期信号検出データの消灯データタイミングとから検出して、前記位相変更手段が変更するように設定されていることを特徴とする請求項 9 記載の画像形成装置。

【請求項 1 1】 各走査タイミング毎に前記位相変更手段が変更するように設定されていることを特徴とする請求項 9 記載の画像形成装置。

【請求項 1 2】 ページの最初のラインでのみ前記位相変更手段が変更するように設定されていることを特徴とする請求項 9 記載の画像形成装置。

【請求項 1 3】 前記画像クロックの出力の際の位相を変更して、前記画像データ入力手段がデータを取り込むタイミングと前記変調パターン生成手段が変調パターンを生成するタイミングとを変更しないことを特徴とする請求項 9 記載の画像形成装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、レーザコピー、レーザプリンタ及びデジタル複写機等の半導体レーザを光書き込み装置として使用する画像形成装置に関する。

【0 0 0 2】

【従来の技術】

近年、半導体レーザは、小型で駆動電流により高速変調を直接行えることから、上述されたような画像形成装置等において光書き込み装置の光源として広く利用されている。

【0 0 0 3】

しかし、半導体レーザの駆動電流と光出力との関係は、温度により著しく変化するので、半導体レーザの光強度を所望の値に設定しようとする場合に問題とな

る。

【 0 0 0 4 】

この問題を解決して半導体レーザの利点を活かすために、A P C (Auto Power Contorol ) 方式の1つとして、半導体レーザの光出力を受光素子によりモニタし、受光素子に発生する半導体レーザの光出力に比例する受光電流に比例する信号と、発光レベル指令信号とが等しくなるように、常時、半導体レーザの順方向電流を制御する光・電気負帰還ループにより半導体レーザの順方向電流を所望の値に制御する方式が知られている。

【 0 0 0 5 】

上記された方式に関する技術としては、特開平05-075199号公報、特開平05-235446号公報、特開平09-321376号公報、特開平11-167081号公報および特開平05-207234号公報等に表示される技術が提案されている。

【 0 0 0 6 】

特開平05-75199号公報では、半導体レーザの光出力をモニターする受光素子の受光電流と発光指令電流とを常時比較することにより半導体レーザを制御する光電気負帰還ループを構成し、かつ発光指令電流に比例した電流を半導体レーザに光電気負帰還ループの出力電流に加算して流すことにより高速に半導体レーザを変調することによって、半導体レーザの温度特性、ドウループ特性を抑制しつつ、高速に変調する半導体レーザ制御装置が提案されている。

【 0 0 0 7 】

特開平05-235446号公報では、電源投入時におけるサージ電流や、回路不安定状態での過大電流による半導体レーザの劣化を防止するための半導体レーザ保護回路が従来より簡易な構成で組み込まれる半導体レーザ制御装置が提案されている。

【 0 0 0 8 】

特開平09-321376号公報では、光・電気負帰還ループによる制御量を少なくする電流加算方式と、1ドット内でのパルス幅強度混合変調方式とが適用される画像形成装置において適用される半導体レーザ制御装置が、より小型で省

電力化され、さらに集積度が高くなるように実現された技術が提案されている。

【0009】

以下、半導体レーザを光源として使用した画像形成装置において、静電潜像が形成される際の動作について図23に基づいて説明する。図23において、半導体レーザユニット5から出力されたレーザ光はポリゴンミラー1が回転することにより、スキャンされ走査レンズ2を介して感光体3を露光し静電潜像を形成する。

【0010】

また、画像処理ユニット8により生成された画像データと位相同期回路6により位相が設定された画像クロックとに従い、半導体レーザユニット5は半導体レーザの発光時間をコントロールする。このようにすることにより、感光体3に形成される静電潜像の位置等をコントロールする。また、位相同期回路6はクロック生成回路9により生成されたクロックを、フォトディテクタ4により検出された半導体レーザの光に同期した位相に設定する。

【0011】

【発明が解決しようとする課題】

上記されたようにレーザ駆動回路7、位相同期回路6およびクロック生成回路9は、レーザ走査光学系を用いた画像形成装置では、感光体3に形成される静電潜像の位置精度、間隔精度を保つ上で必要不可欠なものである。このため、画像クロックと同一の周波数をもつクロックを画像形成装置内のいくつかの回路で必要となってしまう、画像形成装置のEMI (Electro Magnetic Interference) の問題を引き起こすという問題点があった。

【0012】

さらに部品点数が多くなるためコスト上昇にもなり、印字速度の上昇に従い、画像データ転送クロックを画像形成装置の全システムにて完全に同一タイミングで動作させることも非常に困難となり、画像データの転送を遅いクロックで並列化して転送しなければならないという問題点もあった。

【0013】

また、複数の光源からの光により記録することにより高速、高密度化を図る方

法が採用されつつある。このような場合、光源として複数個の半導体レーザを使用する場合と、LD (LASER Diode) - Arrayを使用する場合がある。しかしながら、LD-Arrayに対しては、受光素子がすべての半導体レーザに共通であるため、特開平09-321376号公報、特開平05-075199号公報、あるいは特開平09-321376号公報に記載される手法が使用できず結果的にLD-Arrayを使用する場合、コストの面で高くなってしまうという問題点もあった。

## 【0014】

また、特開平05-075199号公報、特開平05-235446号公報および特開平09-321376号公報等に記載されている発明によると、半導体レーザの温度特性・ドウループ特性などの影響を除去するためには、常時制御が必要とされるが、その際のオフセット光が生じてしまう。オフセット光を防ぐためには、電流設定回路等が必要とされ回路規模が大きくなるという問題点もあった。

## 【0015】

さらに半導体レーザのビームプロファイルは通常ガウス分布に近似され、ガウス分布に従い感光体3において静電潜像が形成される。このため、静電潜像は2値的ではなく、アナログ的分布をした箇所が解像度の増大に従い発生する。現像バイアスの変動等の外部変動要因の影響を受け易くなり、画像濃度変動を引き起こし易くなるという問題点もあった。

## 【0016】

また、特開平11-167081号公報に記載されているような、ダイレクトシンセサイザーを用いて周波数刻みが保管されたLUT (Look Up Table) のデータを変更することによって、高速に周波数変更することが可能であるが、周波数可変刻みと出力周波数変更速度とは、次に接続されるPLL (Phase Locked Loop) の制御速度および低域通過フィルタと密接に関連し、全体設計上の制約になる。また、周波数刻みはマスタークロック周波数とLUTのビット数に依存し、細かな設定を行う為には、回路規模を増大させるか、マスタークロックを高速にする必要が生じ、1チップ化を実現するためには困難さが伴うという問題点も

あった。

【0017】

さらに特開平05-207234号公報に記載されているようなPLLに位相誤差を付加する方法では、位相誤差の付加信号を非常に安定にしなければ画素クロックの周波数誤差が発生してしまう。これは、デジタル回路とアナログ回路を一体化して1チップ化を図るときに大きな制約となるという問題点もあった。

【0018】

本発明は、上記問題点に鑑みてなされたものであり、半導体レーザを光源として使用する画像形成装置において、画像書き込みクロックの生成と半導体レーザの制御とを行い、1チップに収められる集積回路が組み込まれる画像形成装置を提供することを目的とする。

【0019】

【課題を解決するための手段】

かかる目的を達成するため、請求項1記載の発明は、半導体レーザと、半導体レーザが出力する光で回転感光体を走査する走査手段と、半導体レーザが出力する走査光を所定の位置で検出する走査光検出手段と、走査光検出手段が検出した走査光に基づいて回転感光体を走査して静電潜像を形成する画像形成装置であって、高周波クロック生成手段と、高周波クロック生成手段から出力されたクロックを分周し、走査光検出手段の出力に同期した画像クロックを出力する画像クロック出力手段と、画像クロックの位相を変化させる画像クロック位相変化手段と、を有することを特徴とする。

【0020】

請求項2記載の発明において、請求項1記載の発明において、高周波クロック生成手段は、入力される信号に応じて出力するクロックの発振周波数を制御する電圧制御発振手段と、電圧制御発振手段が発振したクロックを分周する分周手段と、分周手段が出力したクロックの周波数と基準となるクロックの周波数との位相を比較し、比較の結果に応じた信号を出力する位相比較手段と、位相比較手段が出力した信号は電圧制御発振手段に入力される形態で構成されていることを特徴とする。

## 【 0 0 2 1 】

請求項 3 記載の発明は、請求項 1 記載の発明において、画像クロックに基づいて画像データを入力する画像データ入力手段と、高周波クロック生成手段から出力されたクロックと画像データに基づいて変調パターンを生成する変調パターン生成手段と、変調パターン生成手段によって生成された変調パターンに基づいて前記半導体レーザの出力を制御する半導体レーザ制御手段と、をさらに有することを特徴とする。

## 【 0 0 2 2 】

請求項 4 記載の発明は、請求項 1 記載の発明において、画像クロック出力手段と、画像クロック位相変化手段と、高周波クロック生成手段と、画像データ入力手段と、変調パターン生成手段と、を 1 チップの集積回路によって構成したことを特徴とする。

## 【 0 0 2 3 】

請求項 5 記載の発明は、請求項 4 記載の発明において、分周手段による分周比をデータロードする形で設定する分周比設定手段をさらに有することを特徴とする。

## 【 0 0 2 4 】

請求項 6 記載の発明は、請求項 4 記載の発明において、電圧制御発振部から発振されるパルスの位相を反転させたり、正転させたりするパルス反転手段をさらに有することを特徴とする。

## 【 0 0 2 5 】

請求項 7 記載の発明は、請求項 4 記載の発明において、分周回路の動作を停止させたり、再開させたりする分周動作停止再開手段をさらに有することを特徴とする。

## 【 0 0 2 6 】

請求項 8 記載の発明は、請求項 6 記載の発明において、画素クロックの位相を遅らせるタイミングで半導体レーザを消灯する半導体レーザ消灯手段をさらに有することを特徴とする。

## 【 0 0 2 7 】

請求項 9 記載の発明は、半導体レーザと、半導体レーザが出力する光で回転感光体を走査する走査手段と、半導体レーザが出力する走査光を所定の位置で検出する走査光検出手段と、走査光検出手段が検出した走査光に基づいて回転感光体を走査して静電潜像を形成する画像形成装置であって、高周波クロック生成手段と、高周波クロック生成手段からクロックを分周し、走査光検出手段が検出するタイミングに同期した画像クロックを出力する画像クロック出力手段と、画像クロックに基づいて画像データを入力する画像データ入力手段と、高周波クロック生成手段から出力されたクロックと画像データ入力手段が入力する画像データとに基づいて、半導体レーザの出力を変調する半導体レーザ変調手段と、画像データ入力手段が画像データを取り込むタイミングと、画像クロックの位相とを、同時に変更する位相変更手段と、を有することを特徴とする。

## 【 0 0 2 8 】

請求項 1 0 記載の発明は、請求項 9 記載の発明において、電源投入時の最初の同期信号と同期信号検出データの消灯データタイミングとから検出して、位相変更手段が変更するように設定されていることを特徴とする。

## 【 0 0 2 9 】

請求項 1 1 記載の発明は、請求項 9 記載の発明において、各走査タイミング毎に位相変更手段が変更するように設定されていることを特徴とする。

## 【 0 0 3 0 】

請求項 1 2 記載の発明は、請求項 9 記載の発明において、ページの最初のラインでのみ位相変更手段が変更するように設定されていることを特徴とする。

## 【 0 0 3 1 】

請求項 1 3 記載の発明は、請求項 9 記載の発明において、画像クロックの出力の際の位相を変更して、画像データ入力手段がデータを取り込むタイミングと変調パターン生成手段が変調パターンを生成するタイミングとを変更しないことを特徴とする。

## 【 0 0 3 2 】

## 【発明の実施の形態】

以下、添付図面を参照した本発明に係る画像形成装置の実施例が詳細に説明す

る。図1から図22には、本発明に係る画像形成装置の実施例が示されている。なお、図23に示される画像形成装置の光書き込み系における感光体3に対する走査レンズ2やフォトディテクター4は本実施例においてもそのまま使用されるものとする。

#### 【0033】

以下には、図1には光変調パルスと露光エネルギーとの関係が示されている。図1において④がこれまでの光変調パルスの例である。半導体レーザ光をコリメートレンズにて並行光にした後、走査光学系を経て感光体面上で結像させる光学系においてビームプロファイルがガウス分布をしている場合の露光エネルギーが②に示されている。本実施例では、光パルスは③のようなパターンで、同一光学系にて露光され、①に示される露光エネルギー分布を示す。

#### 【0034】

図2では、図1において従来の変調光パルスの幅を狭くした場合が示されている。これに対応するように本実施例では光の変調パターンを変化させた場合に対応する露光エネルギー分布である。

#### 【0035】

以上の光の変調パターンを順次変化させた場合の従来例が図3であり、本実施例の変調パターンにより変化させた場合の露光エネルギーが分布が図4である。図4の光変調パターンは図4の光パターンに記されるように図1の③と図2の⑦のような左右対称な細い第1の光パルス列と中心にて光らせる第2のパルスの組み合わせである。

#### 【0036】

第1のパルスの間隔は露光エネルギー分布を補足する場合には狭くし、太くする場合には太くしかつこの場合には第2のパルスにより露光エネルギー分布の中心での低下を抑制するようにしている。以上の図から分かるように本実施例の光パルスにて露光することにより、約20%程度光ビーム径が細くなった場合に近い、急峻な露光エネルギーを得ることができる。

#### 【0037】

このようにすることにより、感光体表面電位分布がビーム径をより細くした場

合と同じような表面電位分布が得られることになるので、粒状性（S/N比）がよい画像が得ることができる。また、本レーザビームの変調に対しては、走査光学系について説明してきたがレーザ光が照射される対象物が回転しているような場合、（例えば光ディスク等）においても有効な方法となる。

## 【 0 0 3 8 】

図 5 は、上記光パルス列を生成するための変調データ生成に関する実施例である。以下図 5 に基づいて動作が説明されている。Clock は画像データを転送するクロックであり、画像データに基づいて LUT（Look Up Table）17 にて変調パルス列に対応するデータに変換して Load 信号に応じて Shift-Register 15 にロードされる。

## 【 0 0 3 9 】

他方 Clock を 8 倍する PLL-LOOP は Phase-Detector 11、Loop-Filter 12、VCO 13 および 1/8 14 で構成され、Clock の 8 倍の周波数の VCLK を生成し、Shift-Register 15 は VCLK に従い変調データ（Modulation Data）を出力する。図 2 の⑦の光パルスは、図 6 に示されるようなデータにより生成され、図 1 の③の光パルスは図 7 に示されるようなデータにより生成される。

## 【 0 0 4 0 】

また、画像データを LUT により変換する構成をとることにより、LUT の内容を変更するだけでレーザ走査光学系が変化した場合にも同一回路にて図 1 および図 2 に示される光パルスを自由に選択できるようにしている。このような構成にすることにより、自由度の高い光変調パルスが生成することができ、粒状性のよい画像を得ることができる。

## 【 0 0 4 1 】

図 8 には図 5 に示された Pulse-Modulation-Unit 101 からのデータに応じて半導体レーザを制御・変調するための実施例が示されている。以下では図 8 に従って動作が説明されている。制御回路 102 により、光出力  $P_0$  の場合 LD（半導体レーザ）110 の光を受光する PD（受光素子）111 の出力電流により発生する電圧（REXT 113 を介して光起電流が電圧に変換される）が、XPD 端子 109 にて検出され、VCONT 電圧と比較・制御され、制御結果が XCH

端子 1 0 6 に接続されている Hold-Capaciter 1 0 7 によりホールドされる。

#### 【 0 0 4 2 】

また光出力が  $P_1$  の場合には同様にして制御され、Hold-Capaciter 1 0 5 にホールドされる。光出力は  $P_0$  と  $P_1$  との間の電圧に対して直線であることを仮定して（実際に、半導体レーザの  $I-L$  特性によりこの直線性は精度よく成立する）多段階に変調される。Modulation-Data を  $D_n$  とした場合（VCLK の速度で変化するデータ）、半導体レーザ駆動電流  $I_n$ 、Hold-Capaciter 1 と Hold-Capaciter 2 の電圧を各々  $V_1$ 、 $V_2$  とし、 $P_1 = P_0 / 2$  とすると

$$I_n = \{ (V_0 - V_1) \times D_n + V_1 \} / R_E$$

ここで  $D_n = -1 \sim 1$  となるように制御回路 1 0 2 と変調信号発生回路 1 0 3 とで設定されている。

#### 【 0 0 4 3 】

このようにして、Pulse-Modulation-Unit 1 0 1 からの出力データに従い、半導体レーザの光パルスパターンを生成することができ、図 1 および図 2 に示される露光エネルギー分布を生成することが比較的容易に可能となり、粒状性のよい画像を得ることができる。

#### 【 0 0 4 4 】

図 5 は、画素クロックの 8 倍になる周波数 VCLK を画素クロックから生成する構成にて示されているが、通常画素クロックも基準クロックから生成される。レーザの発振波長により光学系の色収差による露光位置ずれが発生しやすくなるため、画素クロックを微調する画素クロック生成回路が要求される。しかし、このような回路を別途有すると、PLL 回路のジッタが 2 重に蓄積され、コスト的にも割高となる。

#### 【 0 0 4 5 】

これらの問題点を解決し、VCLK の生成と画素クロックの生成を実現した実施例が図 9 に示されている。以下では、図 9 に基づいて動作が説明されている。PLL-LOOP は位相周波数比較回路 2 0 1、Loop-Filter 2 0 2 および VCO 2 0 3 によって構成され、位相周波数比較回路 2 0 1 は Programmable-Counter 2 0 4 によって N 分周された基準クロックと VCLK とを比較し、Loop-Filter 2 0 2 は

位相周波数比較回路 2 0 1 の結果をフィルターし、VCO 2 0 3 の発振周波数は Loop-Filter 2 0 4 の出力電圧に基づいて変化する。上記された PLL-L00P によって VCLK が生成される。

## 【0046】

また、Programmable-Counter 2 0 4 の分周比 N は外部からの分周比設定により設定される。VCLK と位相同期パルスとに基づいて、1 / 8 分周回路 2 0 6 にデータ 0' がロードされることにより位相同期パルスに同期した画素クロックが VCLK の 1 / 8 の周波数で生成される。

## 【0047】

また、同様のタイミングで予め設定された位相データをロードして画素クロックとの位相差を有する内部クロックを生成する 1 / 8 分周回路 2 0 7 を有している。1 / 8 分周回路 2 0 7 は画素クロックが遅い場合、あるいは画像データを転送するまでの時間遅れが問題とならない場合は必要とはならない。

## 【0048】

しかしながら、画素クロックの周波数が高い場合は、本出力に同期させた外部からの画像データを取り込む時、本画素クロック出力から画像データ入力までの遅延時間が問題となり、正しくデータを取り込むことができなくなる。このような場合には、本実施例のように予め設定された位相データに基づいて画像データ取り込みクロックの位相を、出力画素クロックに対し可変にしておくことで回避できる。

## 【0049】

さらに本実施例では、Phase-Set 信号により 1 / 8 分周回路 2 0 6 および 1 / 8 分周回路 2 0 7 のカウント（分周）を Enable / Disable できるようになっている。これは、Phase-Set 信号に立ち上がりエッジを VCLK で捉え VCLK の 1 クロックサイクル分カウント（分周）動作を停止させるようになっている。このようにすることにより、画素クロックおよび内部クロックの位相を 1 / 8 クロック刻みで遅らせることができる。

## 【0050】

1 / 8 クロックサイクルの位相遅れ量を 1 走査期間中に決められた間隔（もし

くは決められた間隔に近い) で実行することにより、1 走査期間での画素クロックの周波数を等価的に微調できることになる。これはPLL-L00Pにて設定可能な周波数可変ステップをより細かく設定できることと等価である。

#### 【0051】

実際にPLL-L00Pの周波数可変ステップを細かく設定しようとするれば、Programmable-Counter 204の分周設定範囲を広くすると同時に、基準クロックを低くするか、VCLKを高くすることでも可能であるが、基準クロックを低くすることはVCLKの周波数変動が基準サイクルクロックでしか検出することができなくなり、VCO203の発振周波数安定化が大きな技術課題となってしまう。

#### 【0052】

VCLKを高くすることは、VCO203の発振周波数を高くしなければならず、これも技術課題となってしまう。本発明によれば、VCOを高くできればそれを上回るステップで周波数設定が可能となり、VCOを安定できればそれを上回るステップで周波数設定が可能となる。

#### 【0053】

また、Phase-Set 信号による位相遅れを生成する1/8クロックサイクルの間、半導体レーザを発光しないようにしておくことにより、露光エネルギー量の不連続性は解消される。また、Phase-Set 信号を半導体レーザが発光しない時に設定してもよい。さらに、走査ごとに少しずつした位置で設定してもよい。さらにこのようなタイミングで位相遅れ量を変化させることにより、出力画像に影響なく画素クロック位相を変更できる。

#### 【0054】

また、Phase-Set 信号を走査の開始タイミングのみ走査毎に一定刻み増加もしくは減少するように(例えば、1/8→2/8→3/8→4/8→5/8→6/8→7/8→0のように) 変化させることにより、1/8クロックサイクル毎に各画素の位置を制御することができる。このように画像出力のスクリーン角を微調することにより、高画質画像を得ることができる。

#### 【0055】

図10においては、N-Counter 309を内部にもちN-カウント毎にPhase-

Set 信号を自動的に生成し、1 / 8 画素クロック位相を遅らせるように構成した例である。本実施例の場合には1 / 8 クロックの時間光パルスを出力しないようにしている。

## 【0 0 5 6】

このようにしても図1に示されるように露光エネルギー分布が不連続になることはない。というのは、半導体レーザのビーム径に対し充分短い時間のみ光を消しているためと、画素の区切りのタイミングであるためである。なお、N-Counter 309のカウント値Nの値はシリアルデータにより設定可能となっている。

## 【0 0 5 7】

このようにすることにより、PLL-LOOPにより設定できない刻みの周波数をシリアルデータにより設定できるようになるので、等価的に周波数刻みを細かく設定できるようになる。

## 【0 0 5 8】

図11には画素クロックに対して内部クロックの位相を位相データに応じて動作するタイミング図が示されている。上からVCLK、同期パルス、Load信号、画素クロック、画像データ、Reset 2信号となっている。また、図11の動作は位相検出Set 信号がLow のときのみ動作するようになっている。このようにすることにより、位相検出Set 信号がLow のときには常に同期パルスが有効となり内部クロックと画像データの位相関係がコントロールされるようになる。一方、位相検出Set 信号を電源投入の最初のタイミングのみLow とすることにより初期設定された位相差を維持することができる。

## 【0 0 5 9】

図12は図5の場合と対比して、LUTのBIT数を低減した場合の方法であり、1画素の中心を基準に左右独立なパルスを選択できるようになっている。VCLKを8分周するときの8位相のパルス（図13に示される）を選択する選択テーブルが設定されることにより、任意の位置にパルスを生成する生成方法が示されている。

## 【0 0 6 0】

このようにすることにより、図5の場合よりも選択可能なパルス列範囲は狭く

なるがLUTの回路規模が小さくなり低コストにて図2および図4に示される光パルスを得る場合には有効な方法として実現できる。

#### 【0061】

図14においては、光出力強度のピーク値と半導体レーザのバイアス電流を制御した回路構成においてカソードがコモンとなっている半導体レーザに対し示した例である。Error-Amp401により半導体レーザの光出力がPD（受光素子）410で検出され、検出された結果を電圧変換してReference Voltageと比較し制御値をHold-Capaciter407に保持する制御を行っており、本実施例ではVCC-80mVの電圧となるようにRE端子411電圧を制御するようにError-Amp404の制御結果をHold-Capaciter408にて保持されている。

#### 【0062】

なおError-Amp401の制御タイミングは半導体レーザを発光させるアクティブな時一定時間遅れて制御させている。また、Error-Amp404は半導体レーザが消灯したときのバイアス電流が一定値となるように、LDON信号が非アクティブのとき一定時間遅れて制御するようにしている。

#### 【0063】

このようにLDON信号から一定時間遅れて制御を開始するようにすることにより、半導体レーザの光出力から受光素子の受光電流、受光電流を電圧に変換、Error-Amp401に信号の伝送における遅れ時間による誤差が発生しないようにしている。また、バイアス電流の制御タイミングにおいても同様である。

#### 【0064】

さらに、半導体レーザをバイポーラトランジスタのエミッタに接続することにより、バイポーラトランジスタのベース電圧にできるだけ遅れが発生しないように半導体レーザに伝える構成となっている。したがって、本実施例では半導体レーザの端子間電圧を所定電圧にすることにより、所定の光出力を得る構成をとっている。このようにすることで、半導体レーザを高速に変調することができる。

#### 【0065】

図15においてはアノードコモンの半導体レーザを使用した場合の実施例である。本実施例では、図14と比較して、半導体レーザをトランジスタのコレクタ

に接続している。このようにすることによりほぼ、カソードコモンの半導体レーザと同様な回路で実現できる。この結果アノードコモンとカソードコモンの半導体レーザを同一 IC で使用可能にすることができる。

## 【 0 0 6 6 】

図 1 6 においては半導体レーザを制御するタイミングを生成するために、LD ON 信号が High の時  $C_1$  を急速充電し LD ON 信号が Low のときにはコンデンサの容量を一定電流で放電させることにより、細いパルス列がきたときには制御しなくなるようにしている。このようにすることにより、単純な遅延回路 + 論理回路構成に比較し、狭いパルス列については制御値をホールドすることにより、制御精度が向上する。

## 【 0 0 6 7 】

図 1 7 は図 1 4 および図 1 5 のような半導体レーザの接続を実施した場合、受光素子の端子電圧が  $V_{CC}/2$  以下の場合にはアノードコモンの半導体レーザが接続されており、そうでない場合はカソードコモンされている例である。半導体レーザの光を検出する受光素子の端子電圧がアノードコモンの場合には GND を基準に変化し、カソードコモンの場合には  $V_{CC}$  を基準に変化する性質が使用されている。

## 【 0 0 6 8 】

このようにすることにより、アノードコモン半導体レーザが接続されているか、カソードコモン半導体レーザが接続されているかが自動的に判別され、図 1 4 および図 1 5 に従った制御方向を変えることができ、アノードコモン半導体レーザとカソードコモン半導体レーザの両方に対し同一回路 (IC) を使用することができる。

## 【 0 0 6 9 】

図 1 8 には以上に記載された事柄をまとめ 1 チップ IC として実現した場合の実施例が示されている。また、本実施例では画素クロック周波数は同一の周波数で同期信号は 2 種類により独立に制御でき、半導体レーザを制御変調する回路部は 2 チャンネル有している。

## 【 0 0 7 0 】

Voltage-Reference 6 0 1 は本 I C 全体の基準電源供給回路であり、そのほかの回路ブロックへ基準電源を供給する。Phase-Detector 6 0 2、V C O 6 0 3、Clock-Driver 6 0 4 および 1 2 BIT-Programmable-Counter 6 0 5 により PLL-Loop を構成し、Counter-Register 6 0 6 に設定された 1 2 BIT のデータのうち下位 1 BIT が Clock-Driver 6 0 4 の出力クロック V C L K の位相を  $\pi$  遅らせるように設定され、上位 1 1 BIT が 1 2 BIT-Programmable-Counter 6 0 5 の分周比を設定している。このようにして、C L K の周波数は  $F - R E F \times N / 2$  ( $N : 1 2 \text{ BIT}$  データ) となっている。

## 【 0 0 7 1 】

DETP1 および DETP2 のそれぞれに同期して、Xreset、Yreset および C L K の反転かを選択された X C L K、Y C L K を、XResetPulse-Generator 6 0 8 および YResetPulse-Generator 6 1 1 は出力する。XDriver-Driver 6 0 9 および YDriver-Driver 6 1 1 は X C L K、Y C L K、Xreset および Yreset に従い 4 分周され、XDEPT および Ydept に同期した画素クロック XPCLK および YPCLK を出力する。

## 【 0 0 7 2 】

図 2 2 に示されたようなタイミングチャートに従い、XDPhase および YDPhase の立ち上がりエッジに従い、画素クロックを  $1 / 8$  位相遅延させることができるようになっている。この結果、ライン走査毎に画素クロック開始位置を  $1 / 8$  クロックサイクル毎に遅延制御することができる。

## 【 0 0 7 3 】

また 1 ラインの走査期間中、M 回立ち上がりエッジを与えることにより、画素クロック周波数を  $F C L K \times N / (N + M / 8)$  に等価的に変更することができる。さらに図 2 2 のタイミングチャートに示されたように ALDMASK および BLKMASK 信号を生成することにより、画素クロックを  $1 / 8$  クロックサイクル遅延させ、タイミングでは半導体レーザを強制的に OFF にするようにして、画像濃度が急激に変化しないようにしている。この場合、自動的に消灯させるようにしているが予め、画像データから  $1 / 8$  濃度減らしておけば、強制的に消灯させる必要はない。

## 【 0 0 7 4 】

このように画像データから予め1/8減らしておく場合には、MaskEN信号をHighにすることによりLDMASK信号を無効にする。図19にはあらかじめ決められた規則に従って光変調パルスを生成する構成にした場合の実施例が示されている。

#### 【0075】

図20においては、シリアルI/F801によりCode-Area-Program-Counter 805にプログラムコードを書き込むことにより、画像データの有効書き込み期間、電子写真プロセス制御のための濃度パターン生成、孤立点ドットの検出およびそれに応じた画像データ変換処理を実施するユニットを構成して、上記記載事項を実現した実施例である。

#### 【0076】

なお、ALU804はClock-Generator 806の出力クロック（画素クロックの8倍）にて動作を実行している。またプログラムコードは各同期信号毎に所定のプログラムカウント値になるように制御されている。以上のように、転送されてきた画像データを出力する場合の処理を施すALU804は最終結果をLD-Controller 807はこのデータに従い半導体レーザを変調する。なお、速度変換RAM802は転送されてくるクロックと書き込みクロックとの速度差を吸収するためのバッファメモリとなっている。

#### 【0077】

図21においては、ALU904は演算結果をShift-Register 910に1画素分の光変調パターンに相当するデータパターンをClock-Generator 906の8クロックサイクルに1回書き込み、Shift-Register 910はClock-Generator 906で生成されるクロックに従いLD-Controller 907変調データを受け渡す構成として実現した例である。

#### 【0078】

#### 【発明の効果】

以上の説明から明らかなように、請求項1記載の発明によれば、画像クロックの位相を変化させることのできるの、走査光学系および半導体レーザの波長等による半導体レーザの走査速度を画像クロックの位相を微調整することにより調整することができ、高精度走査位置あわせを簡単な構成により実現することができ

る。

【 0 0 7 9 】

請求項 2 記載の発明によれば、請求項 1 記載の発明において、高周波クロック生成手段を PLL により構成したので、半導体レーザが出力する光の走査速度の調整を PLL の出力周波数を調整することに粗調整を行い、位相変化手段により微調整を行うことができるので、走査速度の調整範囲を広く取ることができ、高精度な位置あわせを実現した画像形成装置を提供することができる。

【 0 0 8 0 】

請求項 3 記載の発明によれば、請求項 1 記載の発明において、高周波クロックを、画像クロックの生成と画像データに基づいた変調パターンの生成とに利用しているので、効率的に変調パターンが生成でき、また、変調パターンにより静電潜像をより急峻なパターンにすることができるので粒状性がよい画像形成装置を提供することができる。

【 0 0 8 1 】

請求項 4 記載の発明によれば、請求項 1 記載の発明において、画素クロックの N 倍の周波数から画素クロックの位相が変化できるようになるので、画素クロックを等価的に微調できるようになり、半導体レーザの波長ばらつきが発生しても、画素の位置を正確に保つことができるようになる。

【 0 0 8 2 】

請求項 5 記載の発明によれば、請求項 4 記載の発明において、分周回路のデータロードタイミングでロードするデータを変更することができるようになるので、簡単に画素クロック周波数を微調できるようになり、半導体レーザの波長ばらつきが発生しても、画素の位置を正確に保つことができるようになる。

【 0 0 8 3 】

請求項 6 記載の発明によれば、請求項 4 記載の発明において、電圧制御発振回路の出力位相を反転、正転に切り替えるタイミング毎に画素クロックの位相を変化させることができるので、簡単な構成で高画質な画像を形成することができるようになる。

【 0 0 8 4 】

請求項 7 記載の発明によれば、請求項 4 記載の発明において、分周回路の動作を停止させたり、再開させたりする機能を設けたことにより、簡単な画素クロック周波数を微調できるようになり、高画質な画像を形成することができるようになる。

【 0 0 8 5 】

請求項 8 記載の発明によれば、請求項 6 記載の発明において、画素クロックの位相を遅らせるタイミングで半導体レーザを消灯させるので、画素クロックの位相変化による画像濃度の変化をなくすことができ、高画質な画像を形成することができるようになる。

【 0 0 8 6 】

請求項 9 記載の発明によれば、出力画素クロックと内部クロックとの位相差を設定できるようになっているため、本集積回路に接続される画像データ転送回路ブロックとの画像データ転送遅延時間を適正にするように設定できるので、1つの集積回路で高速な画素クロックを生成すると同時に半導体レーザを制御することができる。

【 0 0 8 7 】

請求項 1 0 記載の発明によれば、請求項 9 記載の発明において、集積回路に接続される画像データ転送回路ブロックとの画像データ転送遅延時間を電源が投入されたときに再設定する機能を有しているので、1つの集積回路で高速な画素クロックを生成すると同時に半導体レーザを制御することができる。

【 0 0 8 8 】

請求項 1 1 記載の発明によれば、請求項 9 記載の発明において、集積回路に接続された画像データ転送回路ブロックとの画像データ転送遅延時間を、各走査ライン毎に自動的に適正なものになるように設定することができるので、1つの集積回路で高速な画素クロックを生成すると同時に半導体レーザを制御することができる。

【 0 0 8 9 】

請求項 1 2 記載の発明によれば、請求項 9 記載の発明において、集積回路に接続される画像データ転送回路ブロックとの画像データ転送遅延時間を、1 ページ

の最初に適正なものになるように設定することができるので、1つの集積回路で、高速な画素クロックを生成すると同時に半導体レーザを制御することができる。

【0090】

請求項13記載の発明によれば、請求項9記載の発明において、集積回路に接続される画像データ転送回路ブロックとの画像データ転送遅延時間を適正なものになるように設定でき、かつ、送り出し画素クロックのみ位相を変更させるようにしているので、1つの集積回路で、高速な画素クロックを生成すると同時に半導体レーザを制御することができ、かつ、簡単に作成することができる。

【図面の簡単な説明】

【図1】

本発明の光変調パルスと露光エネルギーの例が示されている。

【図2】

本発明の光変調パルスと露光エネルギーの例が示されている。

【図3】

光変調パルスを変化させた場合の露光エネルギーが示されている。

【図4】

光変調パルスを変化させた場合の露光エネルギーが示されている。

【図5】

光変調パルスを生成するための変調データを生成するユニットの構成が示された図である。

【図6】

図5に示される回路で生成された変調パルスの一例である。

【図7】

図5に示される回路で生成された変調パルスの一例である。

【図8】

図5に示されたユニットからのデータに基づいて半導体レーザを制御、変調するユニットの構成が示された図である。

【図9】

VCLKと画素クロックを同時に実現した例である。

【図 1 0】

図 9 においてN-Counter がさらに設けられた例である。

【図 1 1】

図 1 0 の動作のタイミング例が示された図である。

【図 1 2】

LUT (look-up-table) の構成例が示されている。

【図 1 3】

VCLKを8分周した際のパルス例が示されている。

【図 1 4】

光強度のピーク値と半導体レーザのバイアス電流を制御した回路構成においてカソードがコモンとなっている回路図が示されている。

【図 1 5】

光強度のピーク値と半導体レーザのバイアス電流を制御した回路構成においてアノードがコモンとなっている回路図が示されている。

【図 1 6】

半導体レーザを制御するタイミングを生成する回路が示された回路図である。

【図 1 7】

半導体レーザを制御するタイミングを生成する回路が示された回路図である。

【図 1 8】

図 5 から図 1 7 において実施された例を1チップの集積回路として実現した例が示されている。

【図 1 9】

図 1 8 に示される回路において予め決められた規則に従って光変調パルスを生成する構成にした例である。

【図 2 0】

画像データ変換処理を実施するユニットのブロック図である。

【図 2 1】

画像データ変換処理を実施するユニットのブロック図である。

【図 22】

画素クロックを 1/8 位相遅延制御するタイミングチャートが示されている。

【図 23】

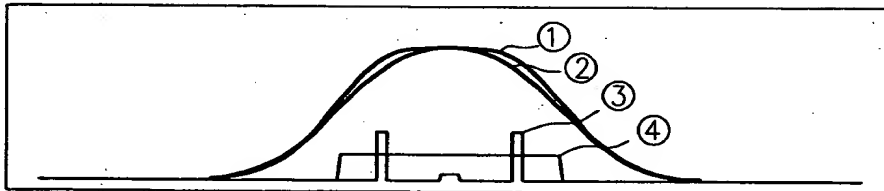
一般的な画像形成装置の光書き込み系を示す模式図である。

【符号の説明】

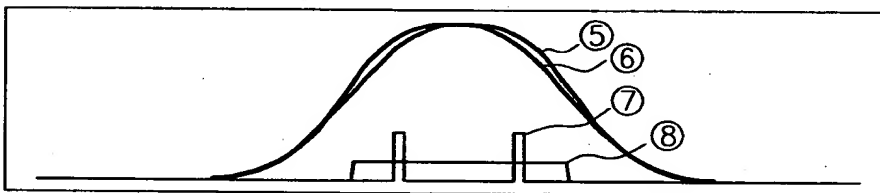
- 601 基準電源供給回路
- 602 位相比較器
- 603 電圧制御発振回路
- 604 クロックドライバ
- 605 12ビットプログランプルカウンタ
- 606 カウンターレジスタ
- 607 ディテクトパルスセクタ
- 608 Xリセットパルスジェネレータ
- 609 Xドライバドライバ
- 610 Yリセットパルスジェネレータ
- 611 Yドライバドライバ
- 612 パルスセレクトレジスタ
- 613 Xラッチ
- 614 XP1-セクタ
- 615 XP2-セクタ
- 616 XLD-コントローラ
- 617 スタートアップ
- 618 LD-エラ
- 619 Yラッチ
- 620 YP1-セクタ
- 621 YP2-セクタ
- 622 YLD-コントローラ

【書類名】 図面

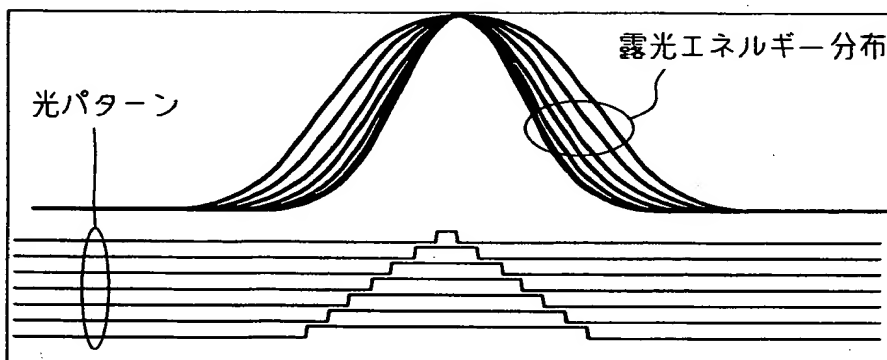
【図 1】



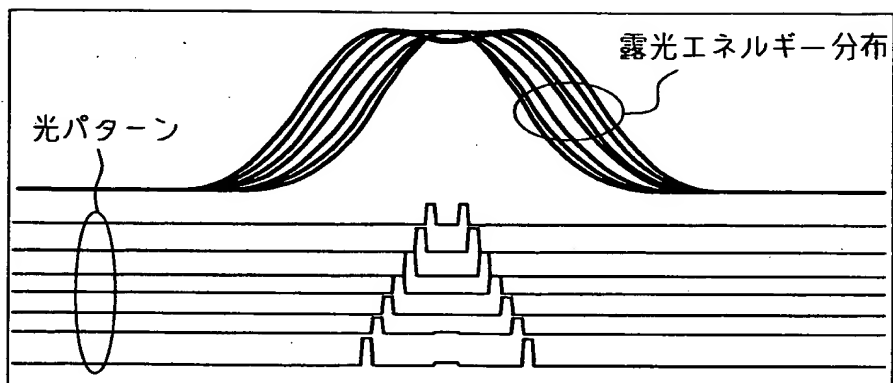
【図 2】



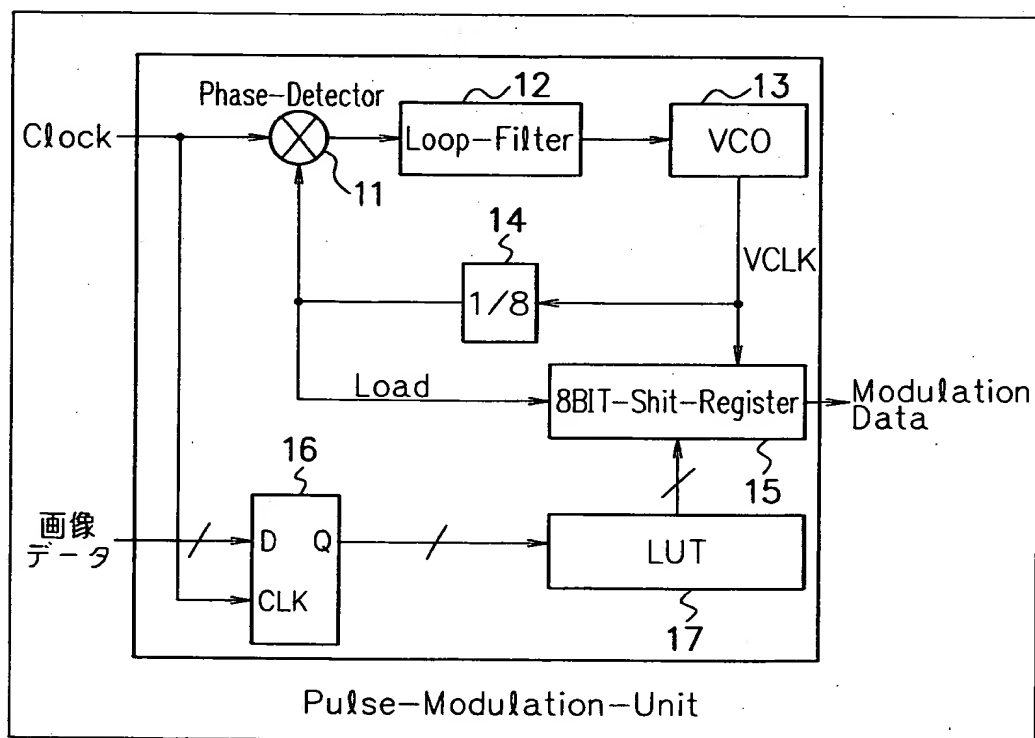
【図 3】



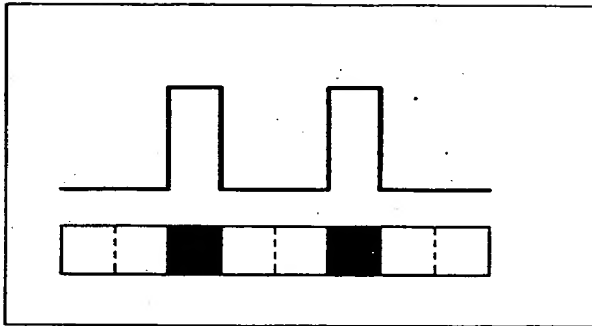
【図4】



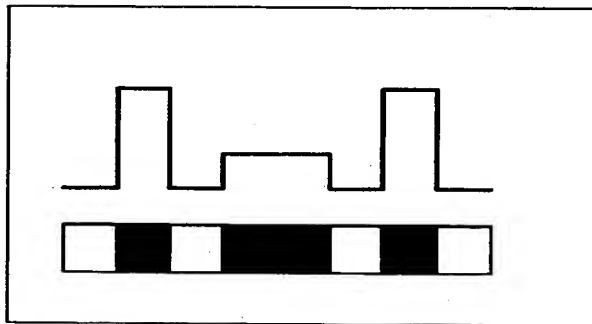
【図 5】



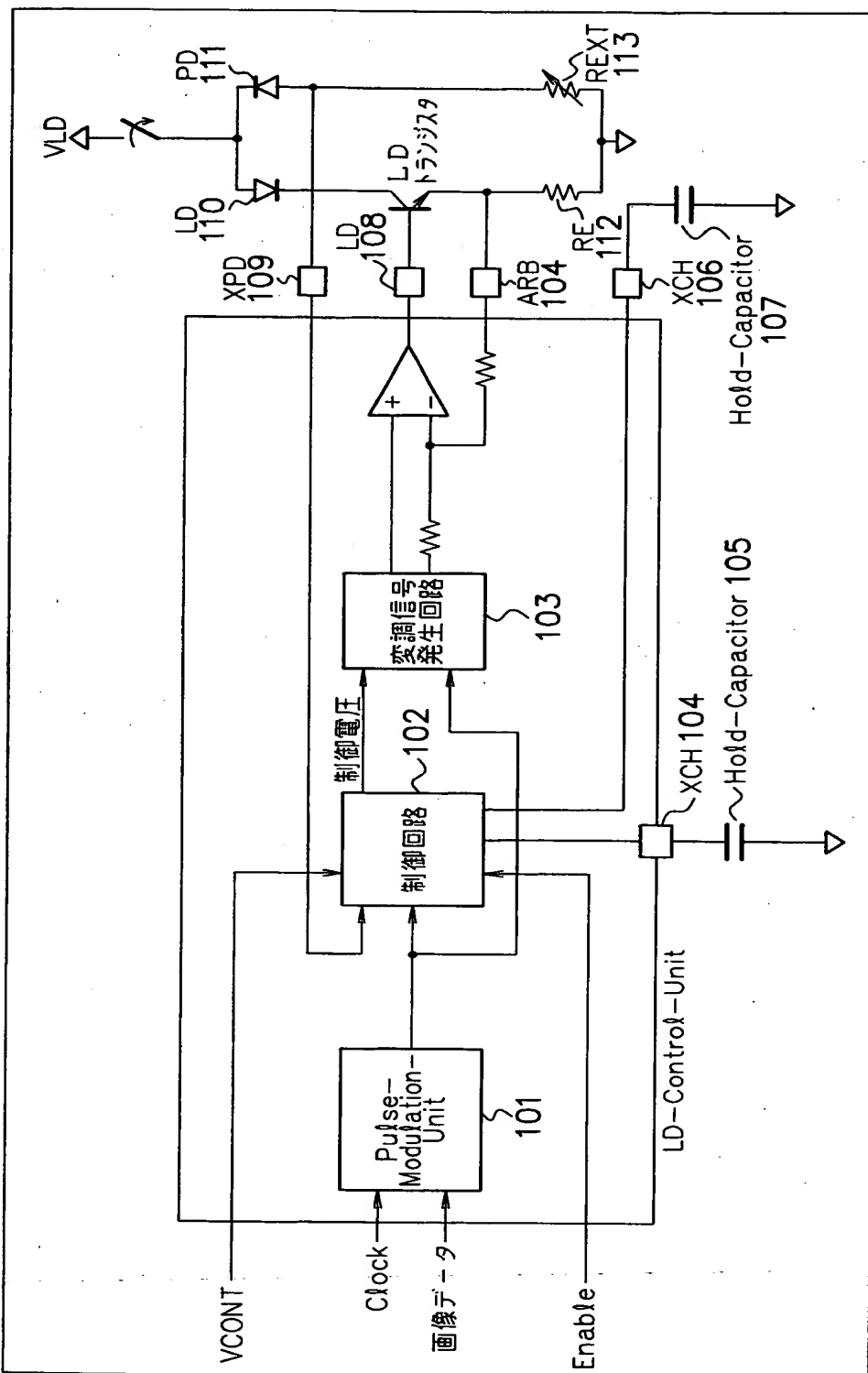
【図6】



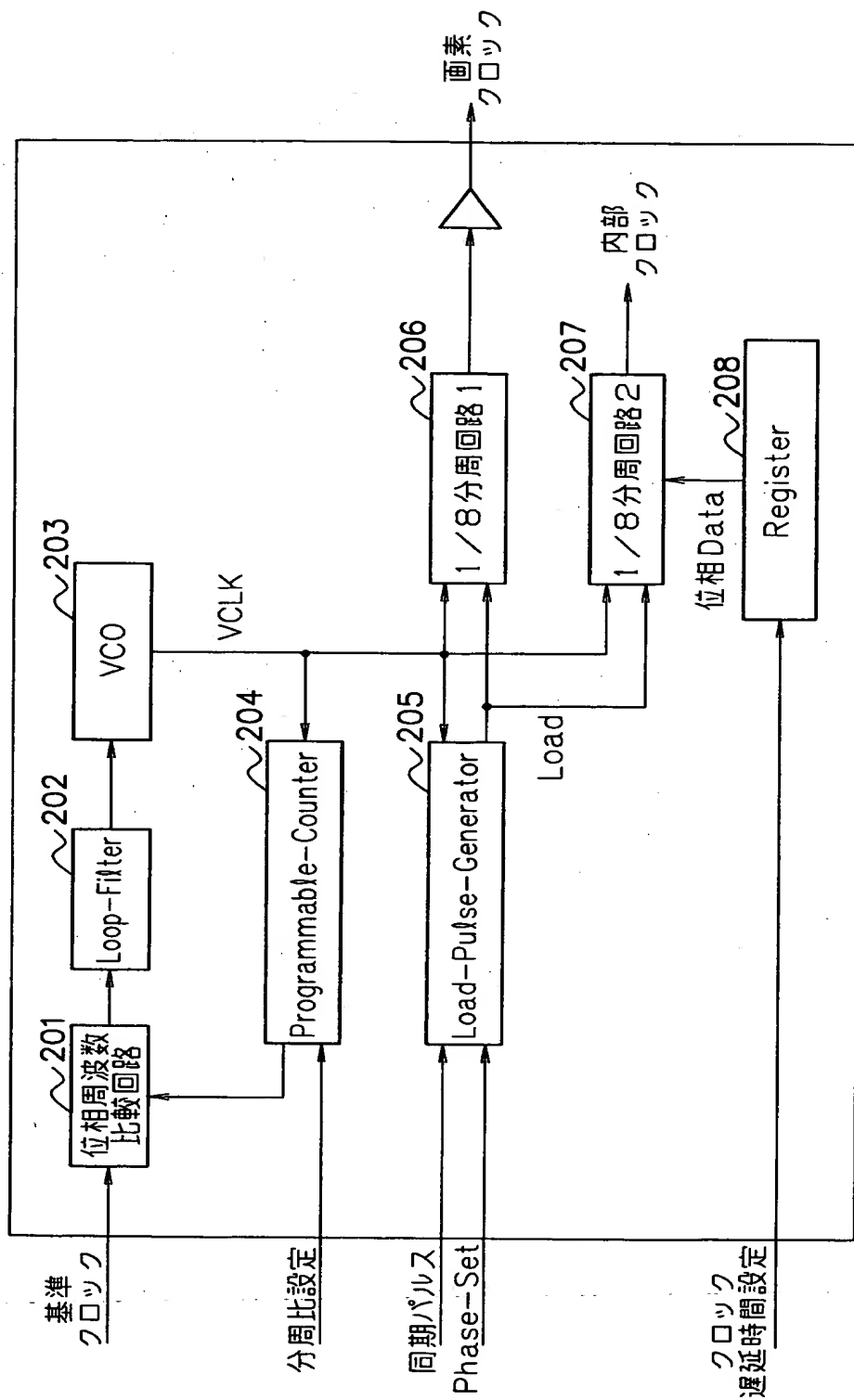
【図7】



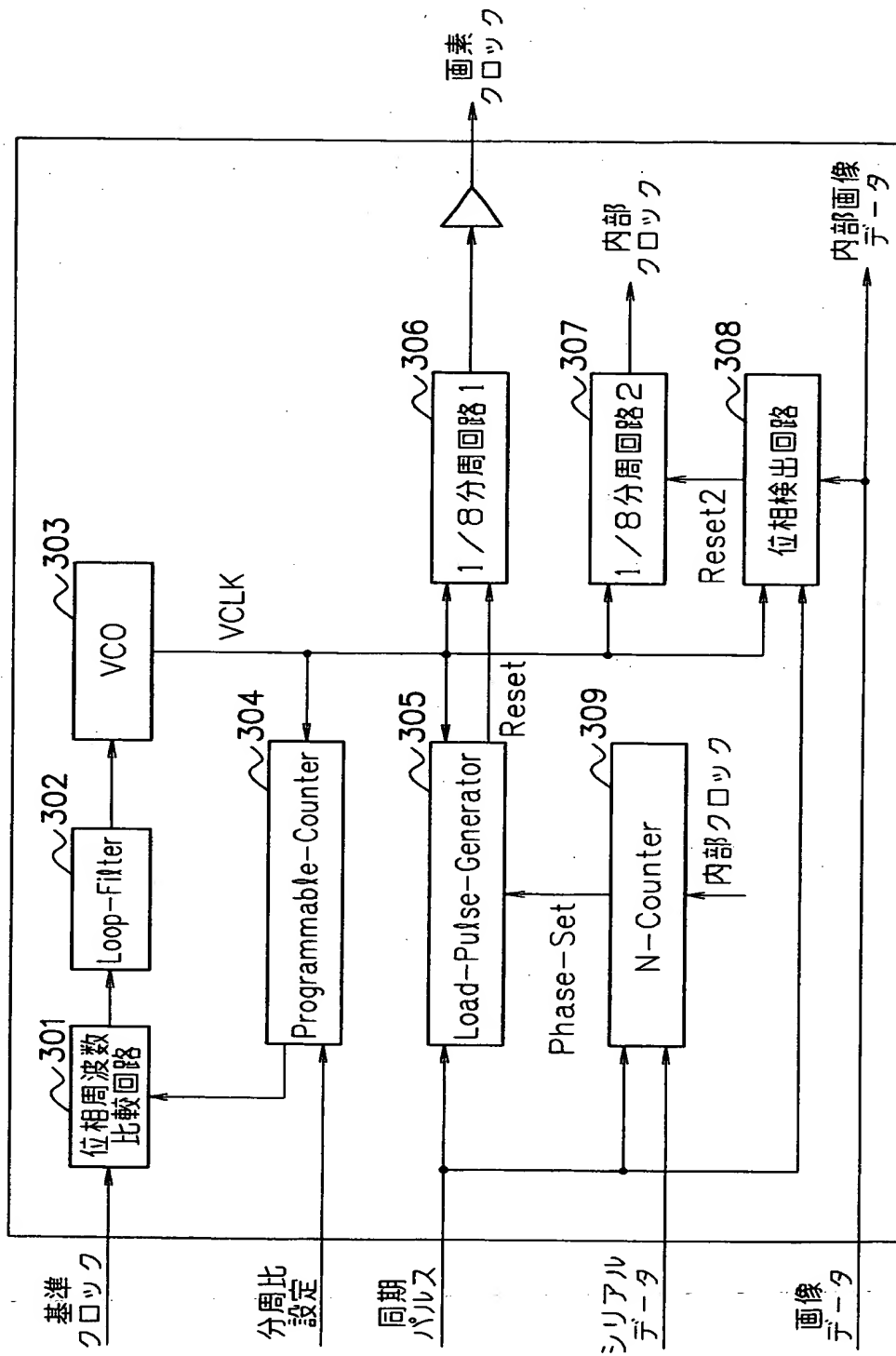
【図8】



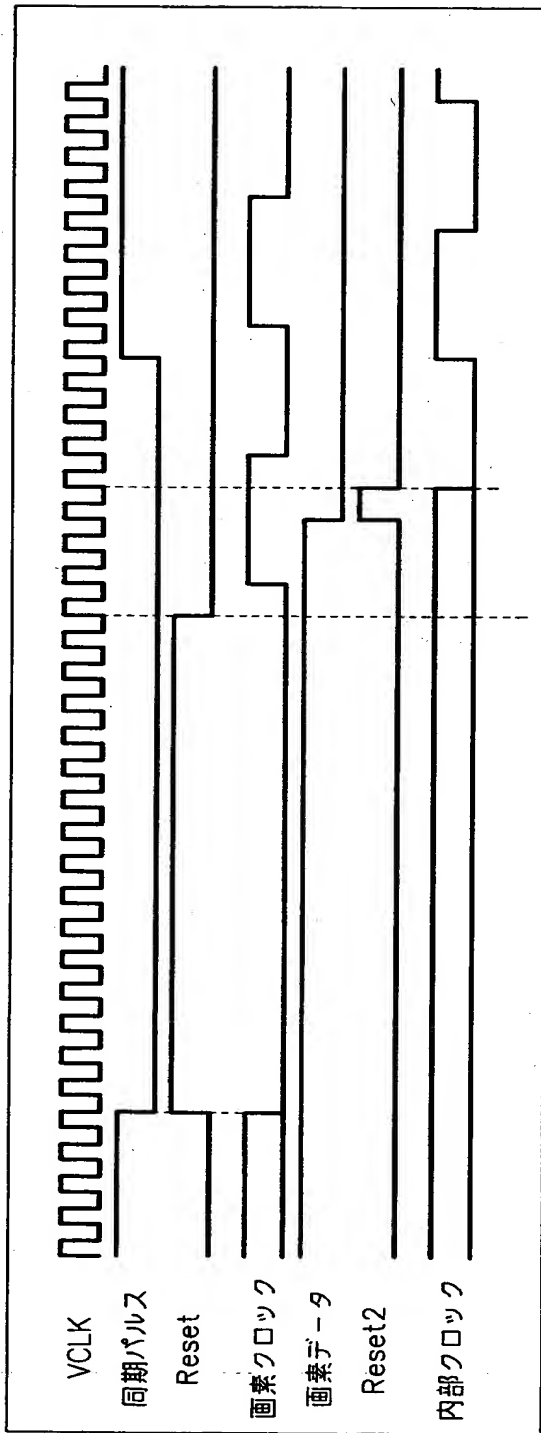
【图9】



【図10】



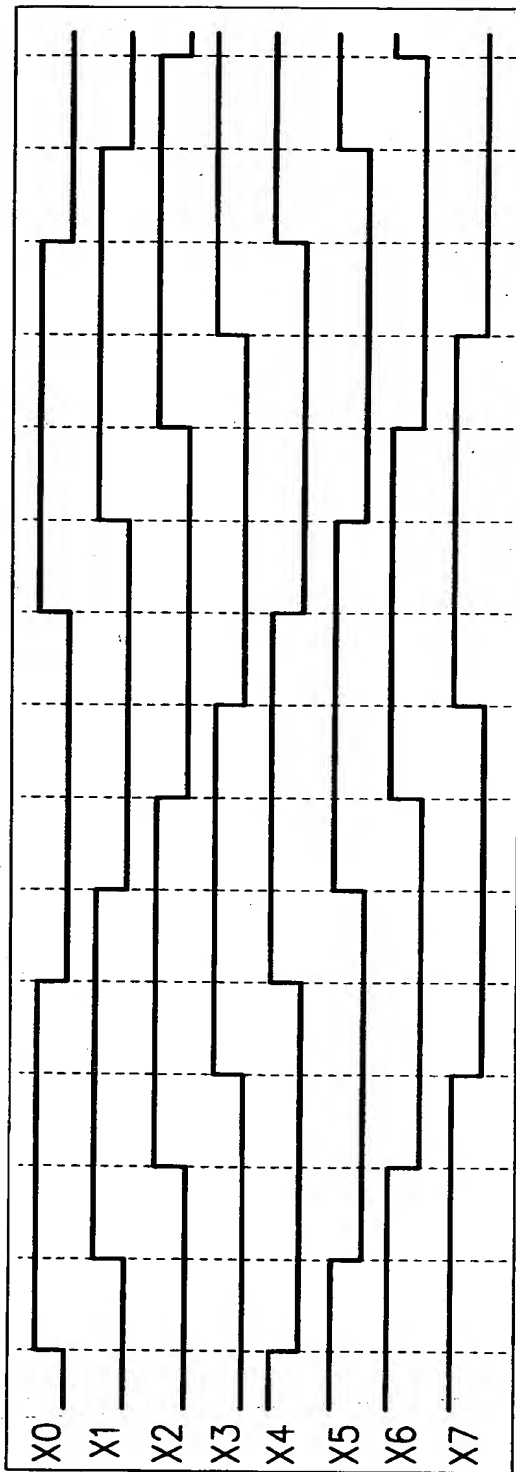
【図11】



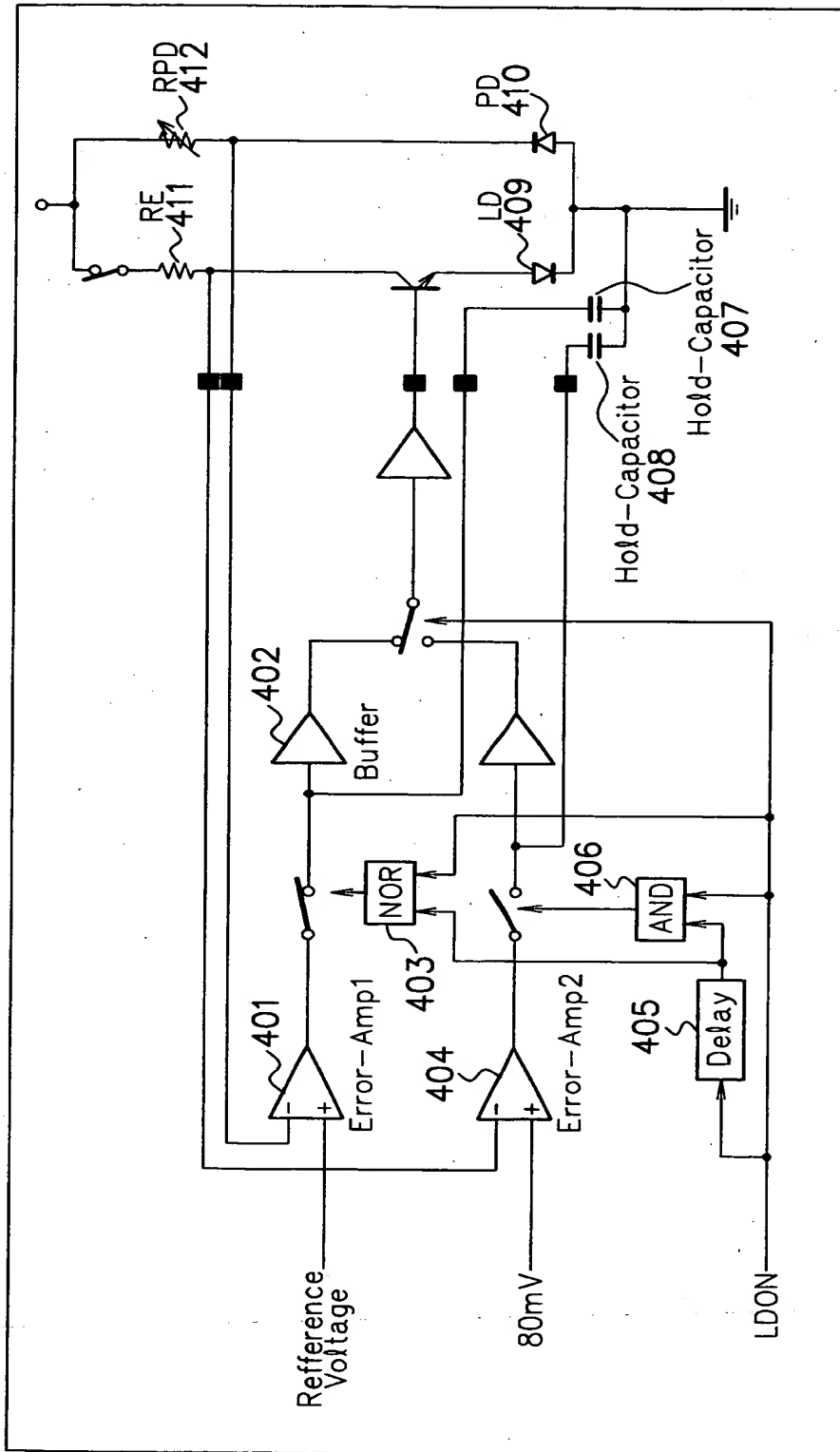
【図 12】

D0,D1	PD2	PD1	PD0	D0,D1	QD1	QD0	D0,D1	RD2	RD1	RD0	出力パルス																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																				
1	0	0	0	2	0	0	3	0	0	0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																					
			1																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																												
			0		1																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																										
			0		0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																										
			0		1																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																										
1	0	0	0	1	0	0	1	0	0	0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																					
			1																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																												
			0		1																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																										
			0		0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																										
			0		1																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																										
1	0	0	0	1	0	0	1	0	0	0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																					
			1																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																												
			0		1																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																										
			0		0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																										
			0		1																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																										
D2,D3	PD5	PD4	PD3	D2,D3	QD5	QD4	D2,D3	RD5	RD4	RD3	出力パルス																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																				
											1	0	0	3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0</

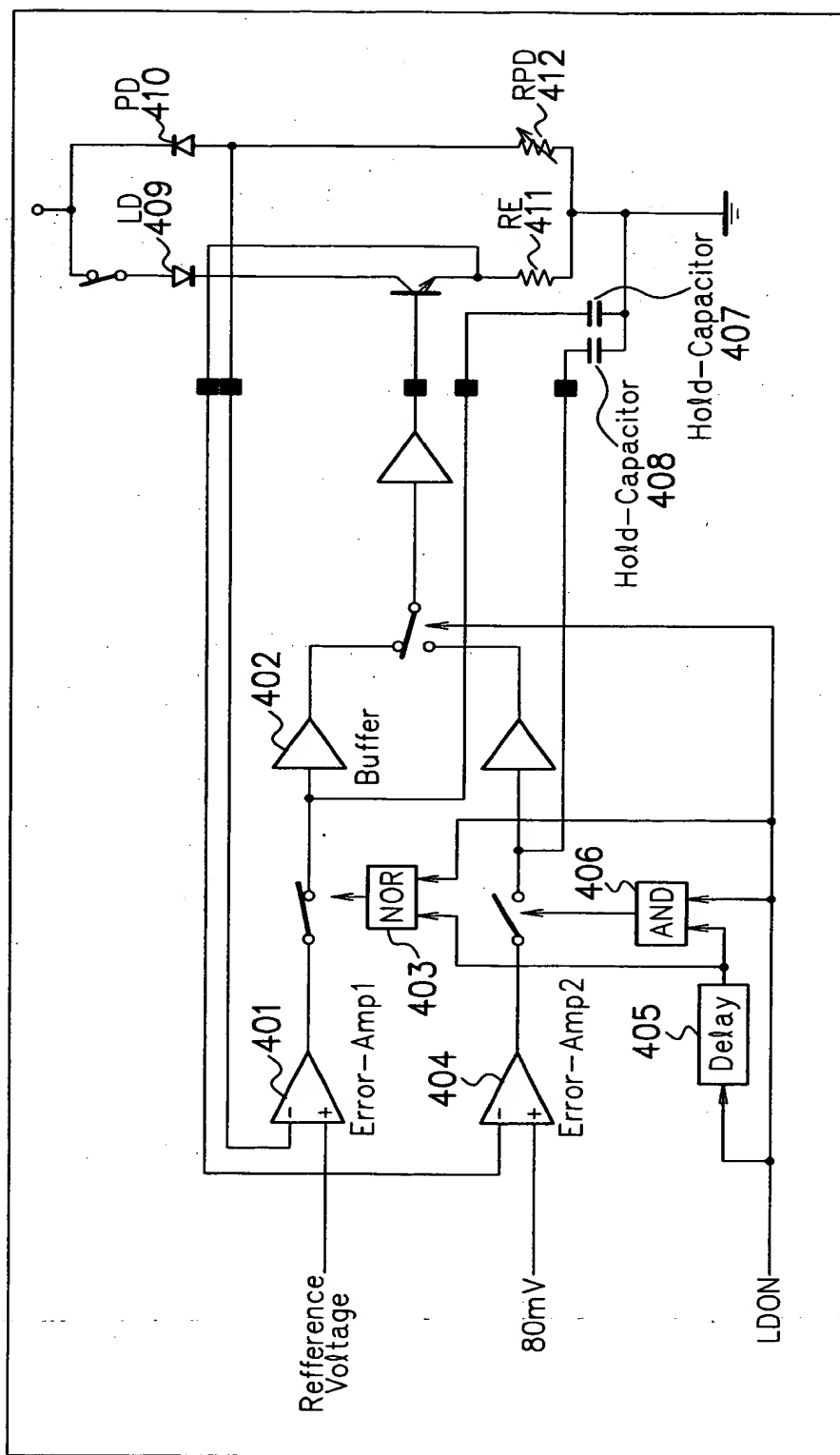
【図 13】



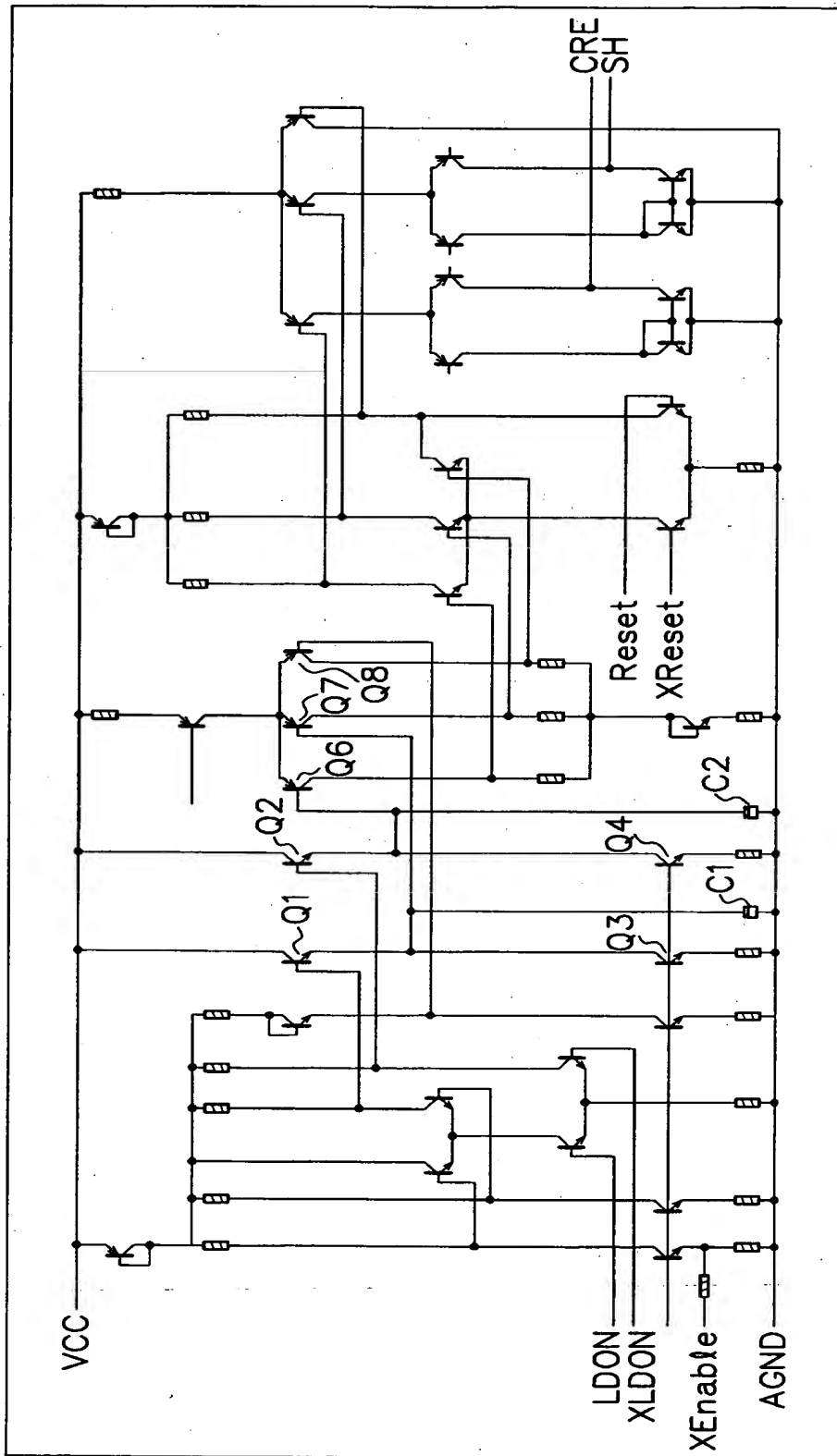
【図14】



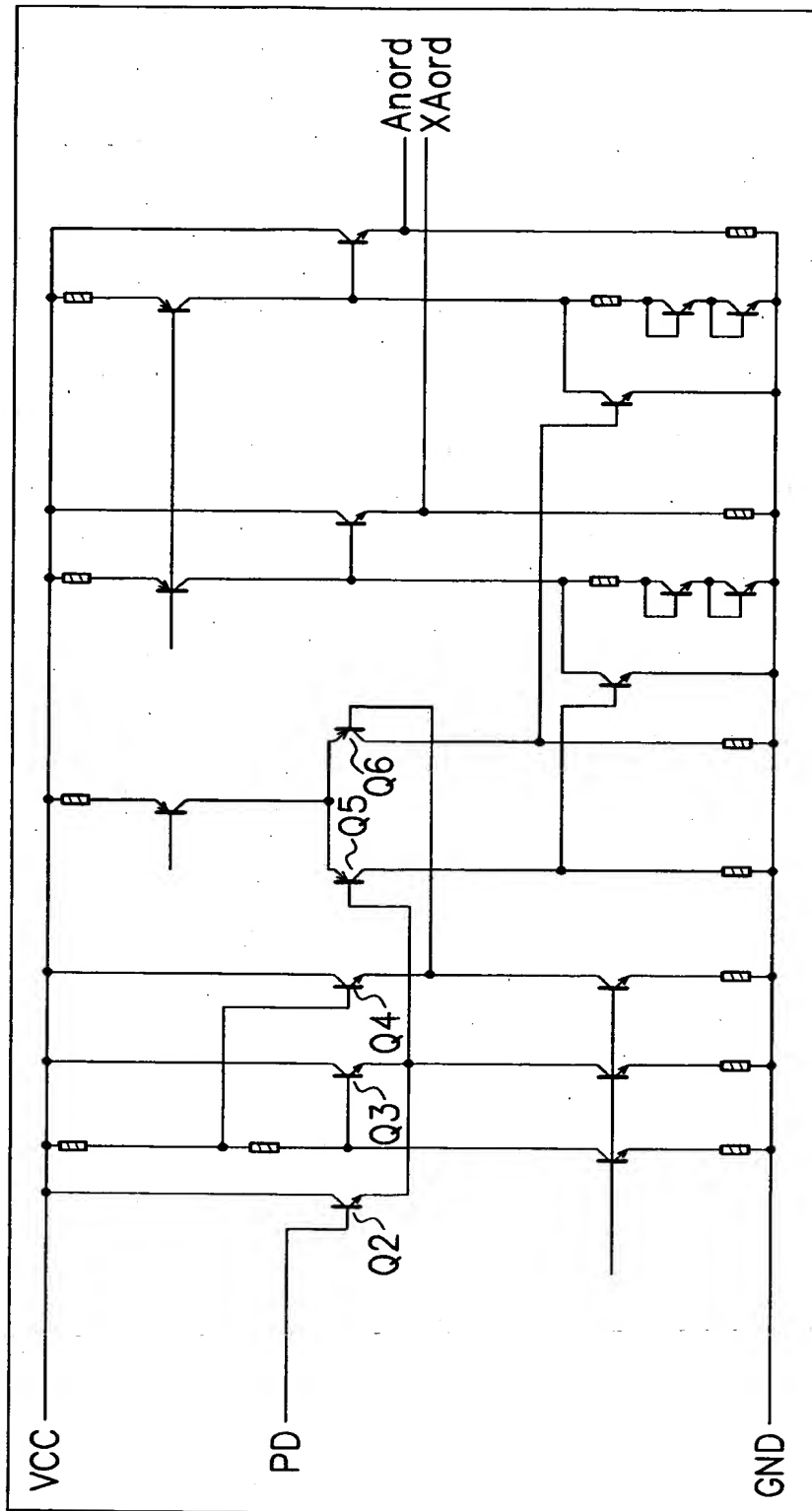
【図15】



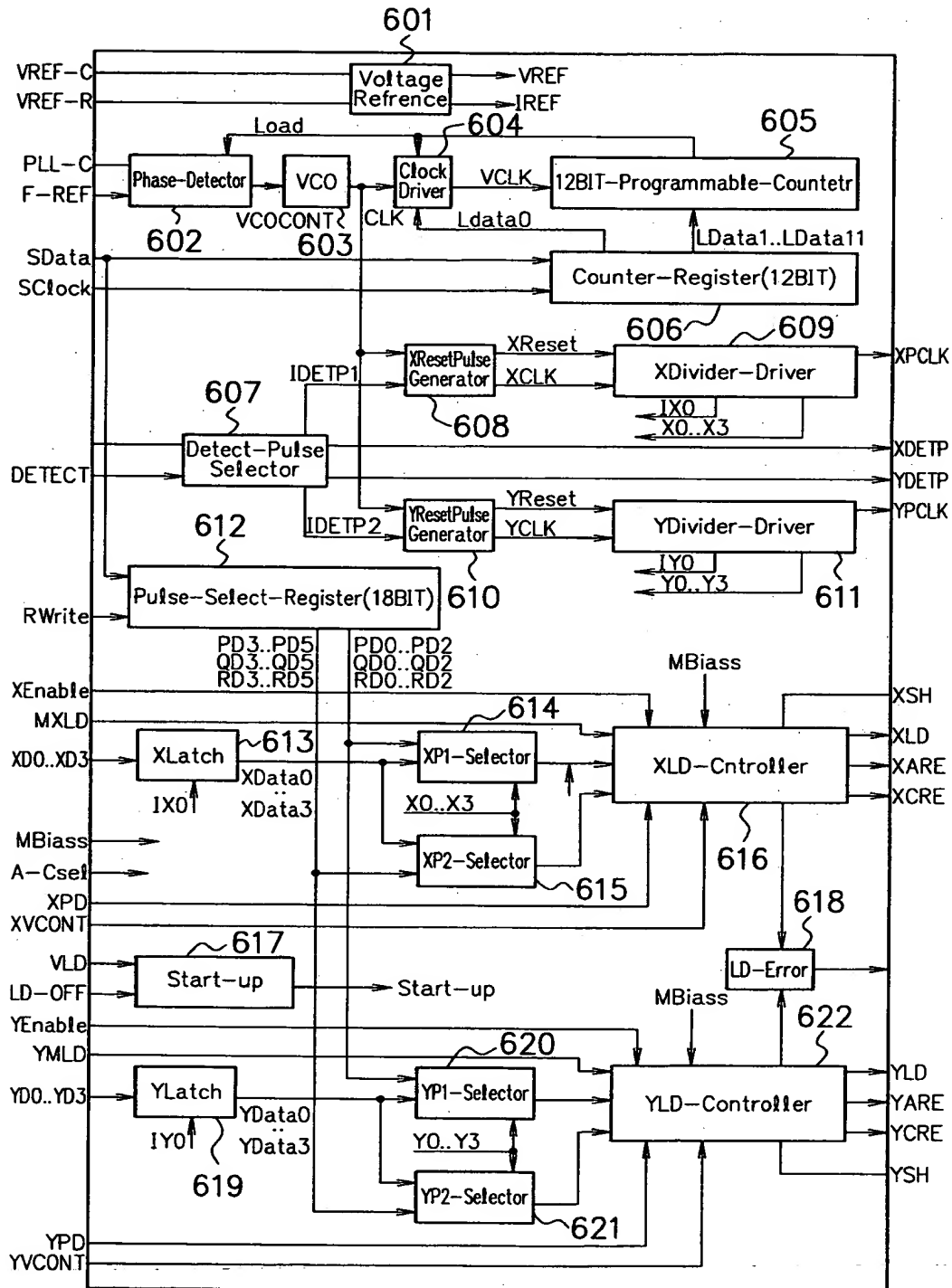
【図16】



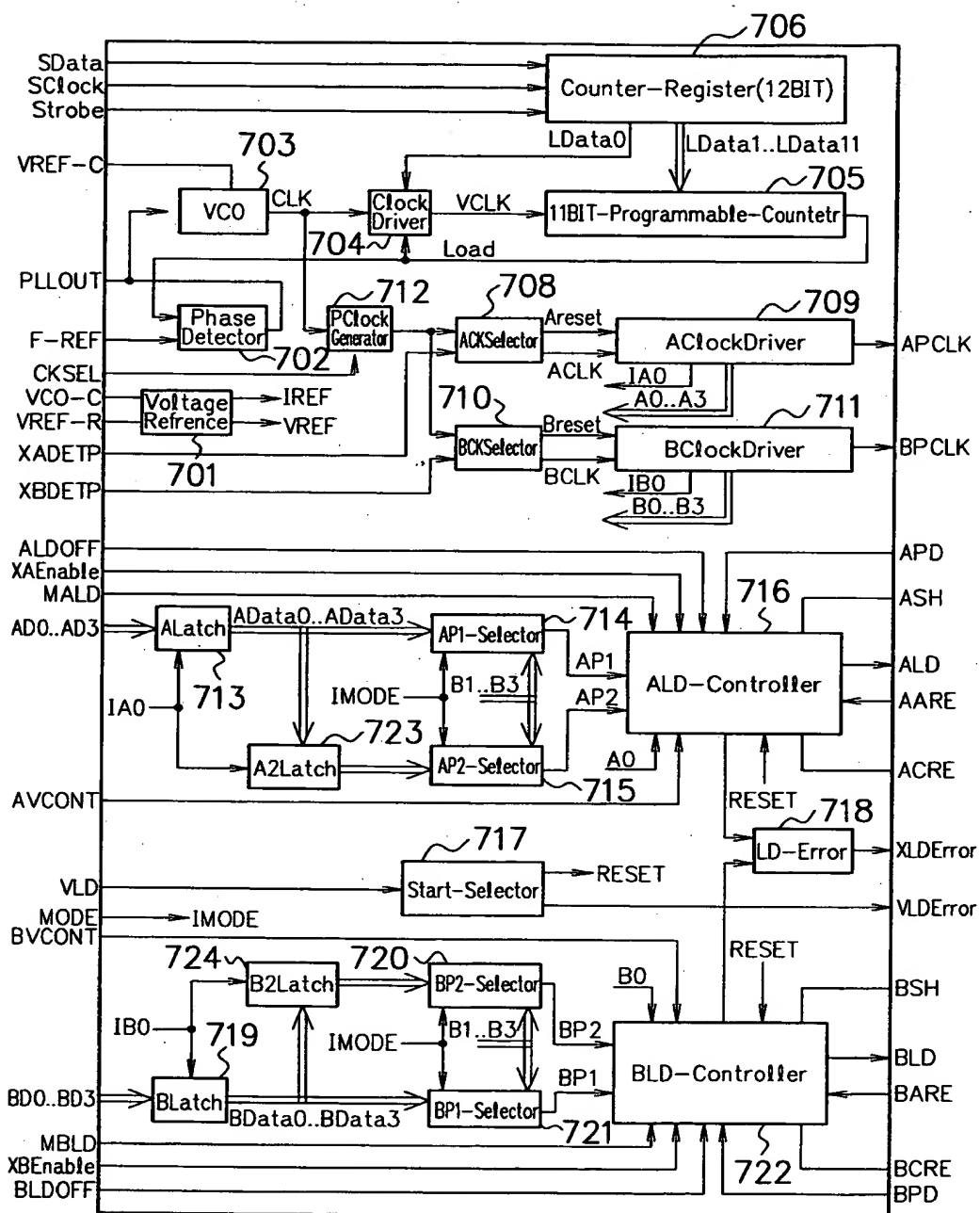
【図17】



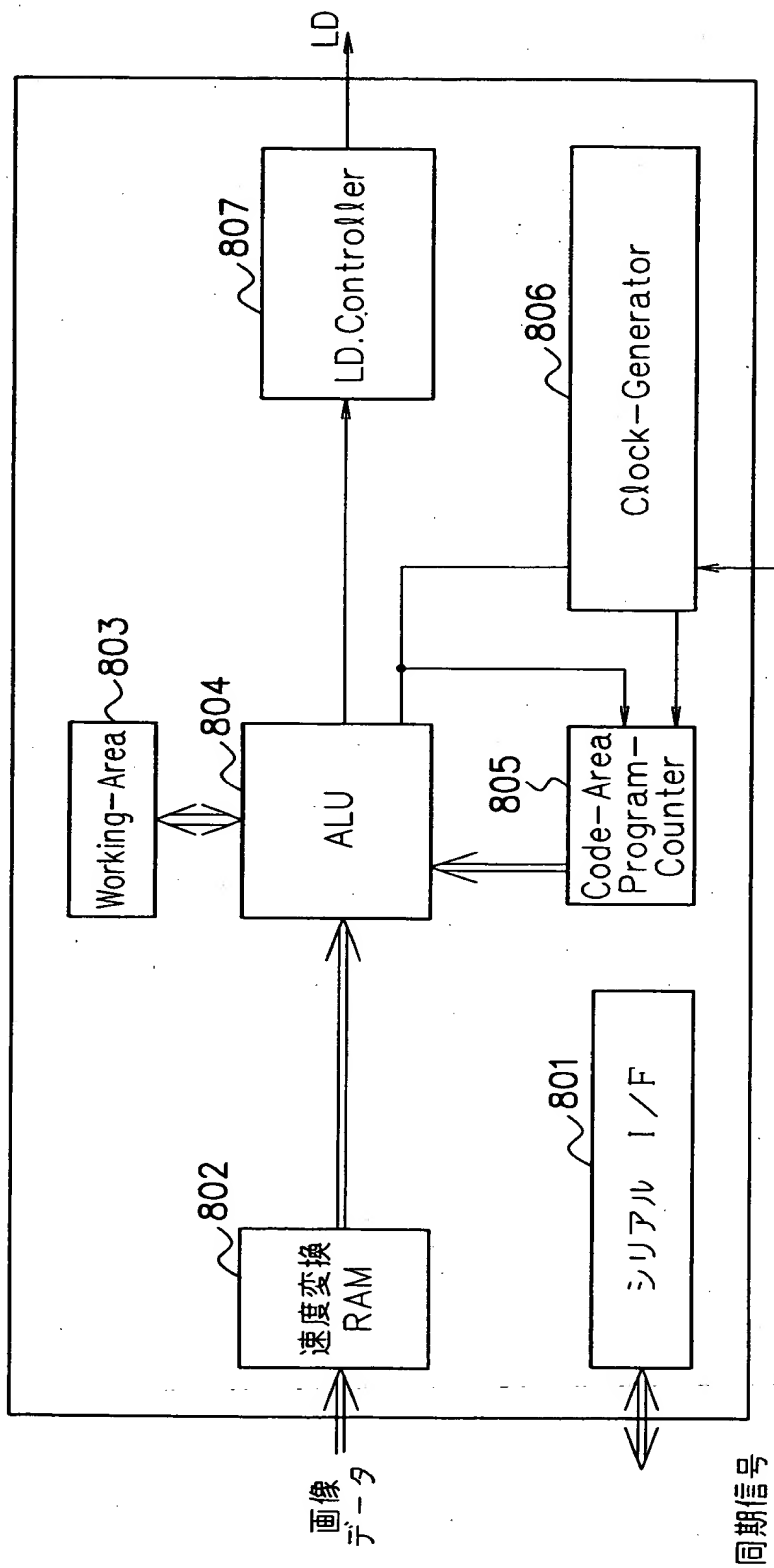
【図18】



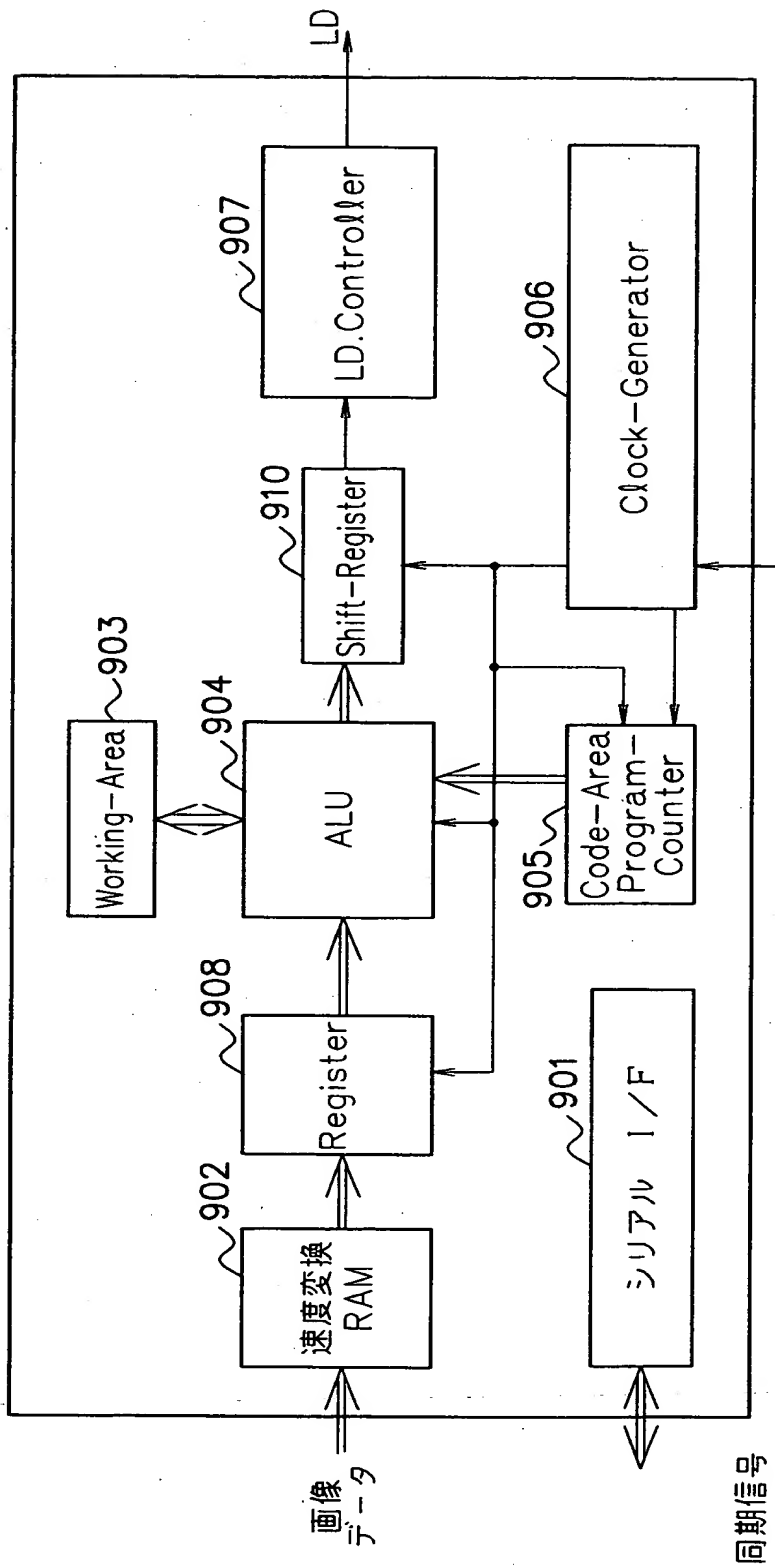
【図19】



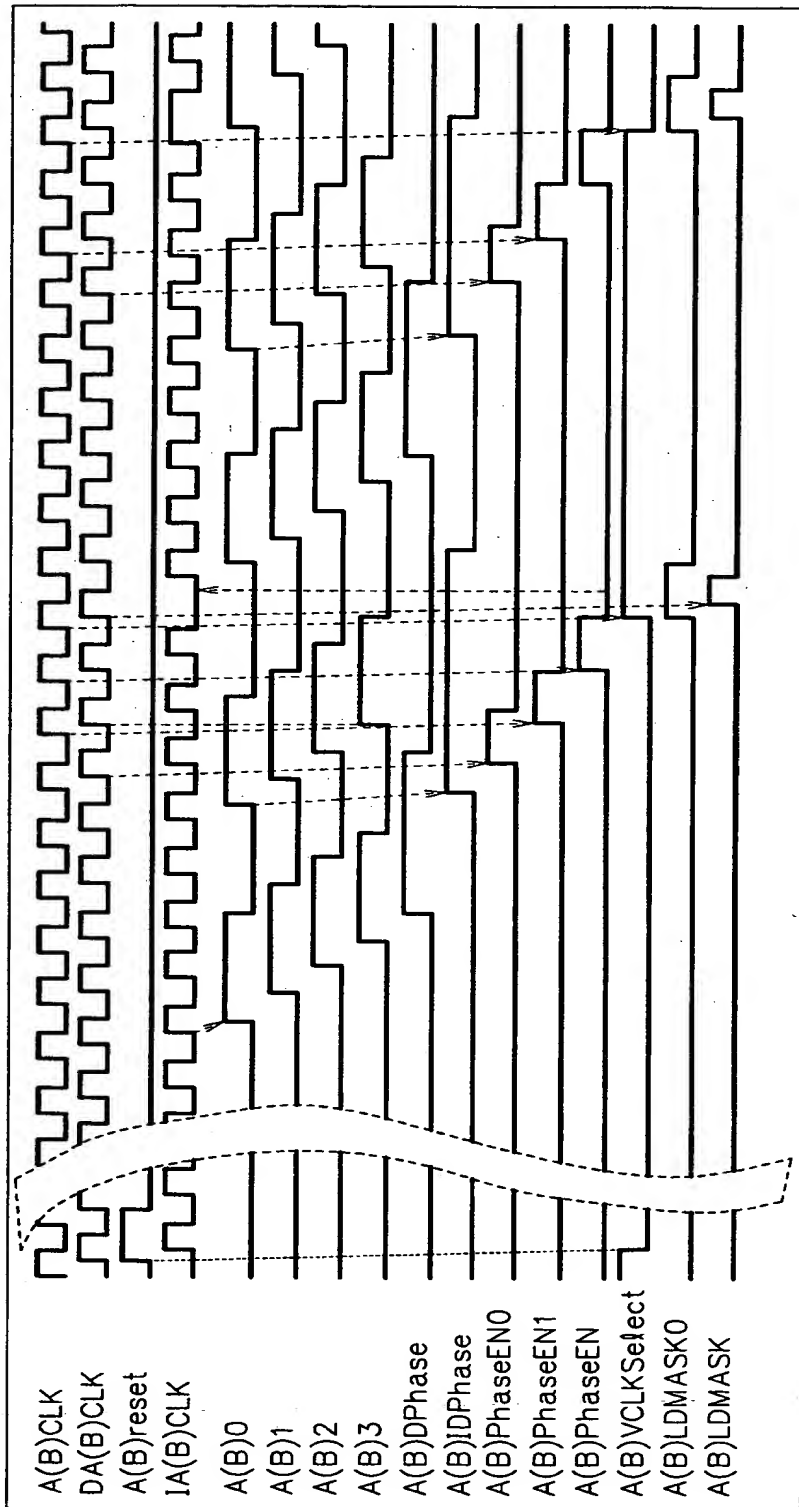
【図20】



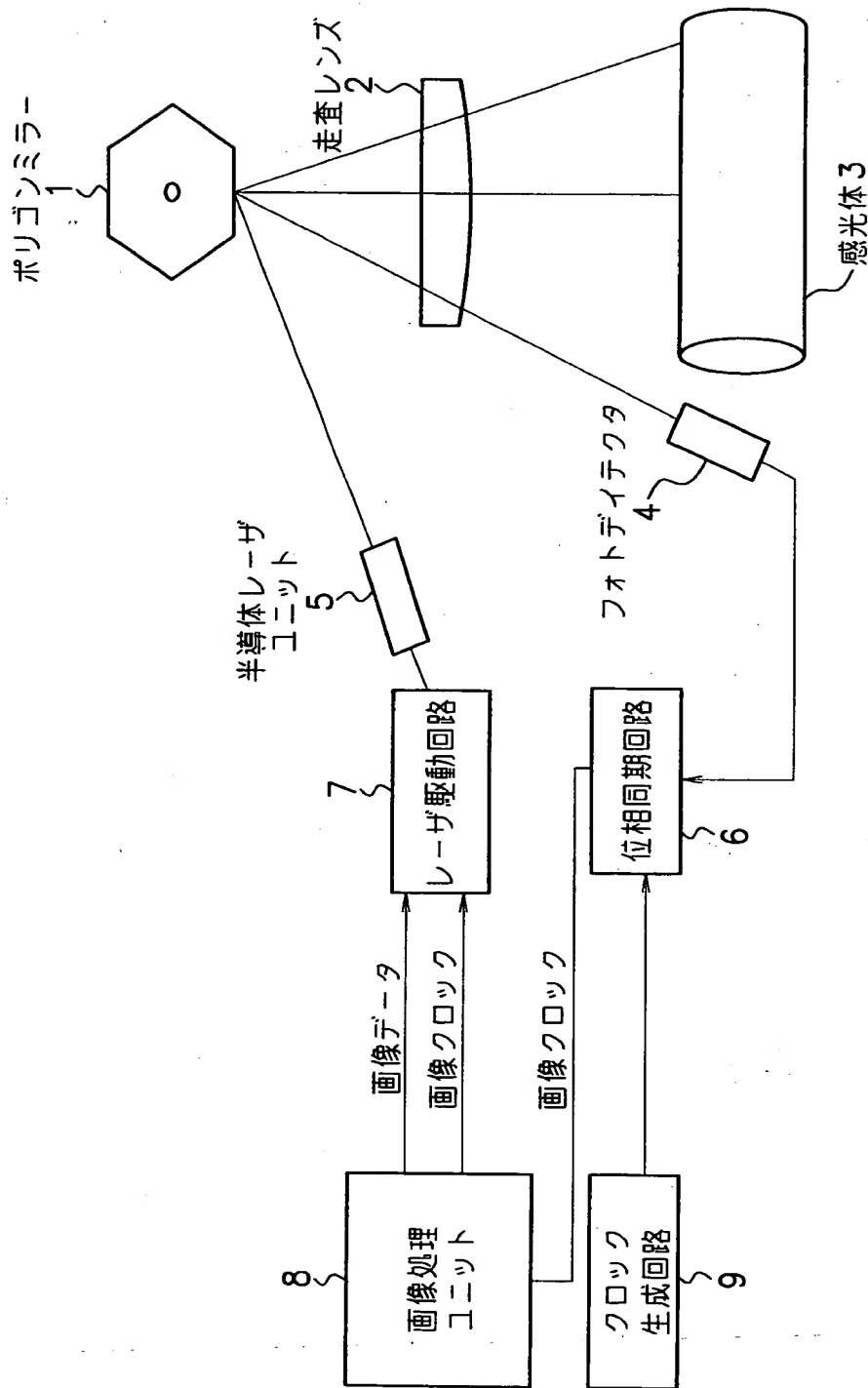
【図 21】



【図22】



【図23】



【書類名】 要約書

【要約】

【課題】 画像書き込みクロックを生成すると同時に半導体レーザの制御する集積回路が1チップ内で構成される画像形成装置を提供することを目的とする。

【解決手段】 Clock は画像データを転送するためのクロックであり、画像データに基づいてLUT17にて変調パルス列に対応するデータに変換し、Load信号に応じてShift-Register 15にロードされる。他方、Clock を8倍するPLLはPhase-Detector12、Loop-Filter 12、VCO13および1/814で構成され、Clock の8倍の周波数のVCLKを生成し、Shift-Register15はVCLKに従い変調データを出力する。画像データをLUTにより変換する構成をとることにより、LUTの内容を変更するだけでレーザ走査光学系が変化した場合にも、適用できる構成になっている。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 東京都大田区中馬込1丁目3番6号  
氏 名 株式会社リコー